کاربرگ طرح درس

دانشکده:مهندسی برق	نیمسال تحصیلی:۱-۱۴۰۱	مقطع:کارشناسی ارشد
نام درس:**FPGA**	نام مدرس: محمد جواد عبدالهی فرد	تعداد واحد:۳
پیش‌نیاز درس:-	شماره کلاس:	ساعت برگزاری: ۱۰:۴۵ تا ۱۲:۱۵ یک شنبه ۷:۴۵ تا ۹:۱۵ دوشنبه
ساعت پاسخگویی و مشاوره: یک شنبه ۹:۱۵ تا ۱۰:۴۵	ایمیل:mj.abdollahifard@gmail.com	

اهداف یادگیری:

الف) این درس بر پرورش کدام‌یک از شایستگی‌های عمومی ذیل متمرکز است:

تفکر خلاق ☐ تفکر سیستمی ■ تفکر آینده‌نگر ☐ تفکر انتقادی ☐

مدیرت درون فردی ☐ مدیریت بین فردی ☐ مدیریت حواس ☐ مدیریت محیط ☐

ب) پرورش چه شایستگی‌های (دانش نظری و عملی؛ مهارت‌های سخت و نرم؛ نگرش و ارزش‌ها) تخصصی در این درس موردتوجه قرار می‌گیرد؟

دانش نظری و ملاحظات کاربردی در طراحی و برنامه ریزی FPGA ها

روش / تکنیک تدریس:[1]

سخنرانی ■ پرسش و پاسخ ☐ نمایشی (نمایش طرز کار وسیله یا مدل یا ...) ☐

بحث گروهی ☐ یادگیری مشارکتی ☐ مبتنی بر مسئله ☐

مبتنی بر پروژه ☐ آزمایشگاهی ☐ بازدید علمی ☐

سایر موارد:....

[1] .توضیحات مربوط به روش تدریس پیوست می‌گردد.

کاربرگ طرح درس

شیوه ارزشیابی:

نوع ارزشیابی	ارزیابی شفاهی	فعالیت‌های گروهی	امتحان میان‌ترم	امتحان پایان‌ترم	پروژه و تکلیف	ارزشیابی مستمر (آزمونک)
نمره	۲		۳	۸	۷	

کاربرگ طرح درس

تاریخ	سرفصل	منبع موردمطالعه
۲۰ و ۲۱ شهریور	مقدمه/ معرفی FPGA و ASIC/ مقایسه با میکروپروسسور/ مبانی طراحی VLSI و معیارها/ CMOS/ Packaging/Layout	
۲۷ و ۲۸ شهریور	توصیف سخت افزاری: مقدمه ای بر وریلاگ و مبانی آن	
۴ مهر(۳ تعطیل)	ادامه مباحث قبل	
۱۰ و۱۱ مهر	مدل سازی مدارات ترکیبی و ترتیبی	
۱۷ و ۱۸ مهر	مدل سازی FSM ها/ عملیات در وریلاگ	
۲۴ و ۲۵ مهر	عملیات شیفت، شمارش، ممیز ثابت و شناور، گرد کردن،	
۱ و ۲ آبان	جمع و ضرب علامت دار و بدون علامت، حافظه و صف	
۸ و ۹ آبان	**آزمون میانترم**/ادامه مباحث قبل	
۱۵ و ۱۶ آبان	سنتز و ابزارهای مرتبط/ قطعه بندی/ نکات مرتبط با سنتز در وریلاگ	
۲۲ و ۲۳ آبان	خط لوله و پردازش موازی/ تکنیک های افزایش سرعت و کاهش توان و سطح/ زمان بندی	
۲۹ و ۳۰ آبان	ادامه مباحث قبل	
۶ و ۷ آذر	ارزیابی و بازبینی	
۱۳ و ۱۴ آذر	SPLD/ CPLD/ FPGA/ ASIC	
۲۰ و ۲۱ آذر	فرایند سنتز: مقدمه/ بهینه سازی دو سطحی چند سطحی/ تکنولوژی مپینگ	
۲۷ و ۲۸ آذر	توان/ ملاحظات کاربردی	
۴ و ۵ دی	CORDIC	

فهرست منابع:

[1] Meyer-Baese, Uwe. "Digital signal processing with FPGA." (2001).
[2] Parhi, Keshab K. VLSI digital signal processing systems: design and implementation. John Wiley & Sons, 2007.
[3] Lee, James M. Verilog® Quickstart: A Practical Guide to Simulation and Synthesis in Verilog. Vol. 667. Springer Science & Business Media, 2006.
[4] Thomas & Moorby, The Verilog Hardware Description Language, 3rd ed, Kluwer Academic.
[5] Introduction to Logic Synthesis using Verilog HDL, Robert Reese, Mitchell Thornton, 2006.
[6] Advanced FPGA Design, Architecture, Implementation, and Optimization, Steve Kilts, 2007.